

四、简答题: 本大题共 4 小题, 每小题 5 分, 共 20 分。

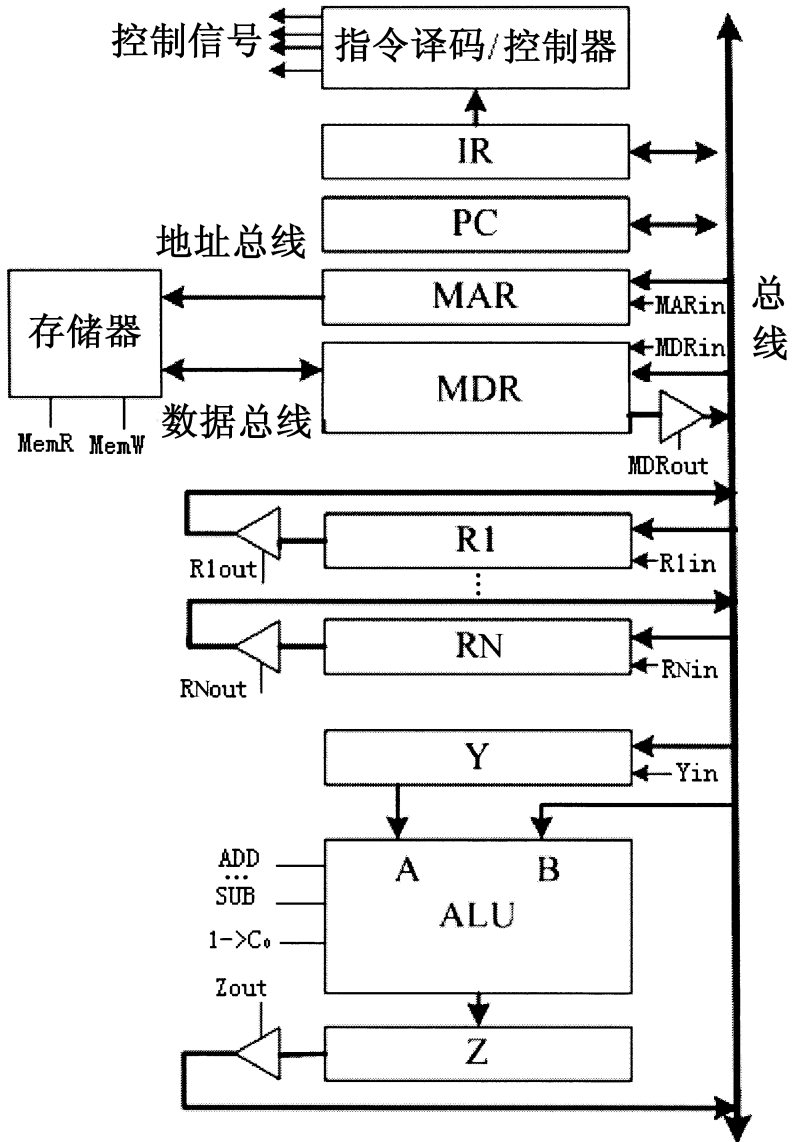
24. 通常一条指令的执行要经过哪些步骤?
25. 为什么在 CPU 和主存之间引入 cache 能提高 CPU 访存效率?
26. I/O 端口的编址方式有哪两种? 简述各自的特点。
27. 在中断响应周期中, 主要完成哪几个操作?

五、计算题: 本大题共 3 小题, 每小题 6 分, 共 18 分。

28. 假设某个频繁使用的程序 P 在机器 M1 上运行需要 24 秒, M1 的时钟频率为 1GHz。设计人员想开发一台与 M1 具有相同 ISA 的新机器 M2。采用新技术可使 M2 的时钟频率增加, 但同时也会使 CPI 增加。假定 P 在 M2 上执行时的时钟周期数是在 M1 上的 2 倍, 则 M2 的时钟频率至少达到多少才能使程序 P 在 M2 上的运行时间缩短为 16 秒?
29. 将十进制数 240 转换为 IEEE754 的 32 位单精度浮点数的二进制格式, 并写出其十六进制数格式。注: IEEE754 单精度浮点数的计数公式为 $(-1)^s \times 1.f \times 2^{e-127}$, 其中符号位 s 为 1 位, 阶码 e 为 8 位, 尾数 f 为 23 位。
30. 假定一个字长为 32 位的 CPU 的主频为 600MHz。即 CPU 每秒产生 600×10^6 个时钟周期。硬盘使用中断 I/O 方式进行数据传送, 其传输速率为 8MBps, 每次中断传输一个 16 字节的数据, 要求没有任何数据传输被错过。每次中断的开销 (包括用于中断响应和中断处理的时间) 是 600 个时钟周期。如果硬盘仅有 5% 的时间进行数据传送, 那么, CPU 用于硬盘数据传送的时间占整个 CPU 时间的百分比为多少?

六、综合题: 本大题共 2 小题, 第 31 小题 10 分, 第 32 小题 12 分, 共 22 分。

31. 某计算机主存地址空间大小 32MB, 按字节编址。主存与 Cache 之间采用直接映射方式, 块大小为 1K 字节。Cache 数据区大小为 16KB。
 - (1) 该 cache 共有多少行?
 - (2) 主存地址需多少位? 如何划分? 要求说明每个字段的含义、位数和在主存地址中的位置。
32. 某计算机字长 16 位, 采用 16 位定长指令格式, 部分数据通路结构如题 32 图所示。假设 MAR 的输出一直处于使能状态。
 - (1) 传送指令 “LOAD R1, (R3)” 在执行阶段需要多少个节拍? 该指令功能为:
$$R[R1] \leftarrow M[R[R3]]$$
 - (2) 写出每个节拍的功能和有效控制信号。



题 32 图